

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085097

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G09G 3/22
G09G 3/30
// H01J 31/12

(21)Application number : 09-251297

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 01.09.1997

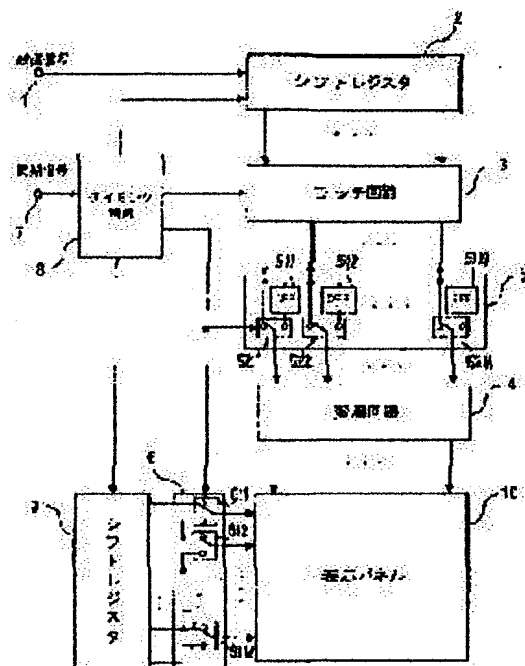
(72)Inventor : AIBA HIDEKI
MASUCHI SHIGEHIO

(54) DRIVING CIRCUIT OF MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit of a matrix display device capable of preventing brightness from decreasing caused by saturation of phosphor, and reducing a change with the elapse of time of cells.

SOLUTION: In a display panel 10, cells are arranged in a matrix form. A video signal is delayed one line or more by a data two-phase making circuit 5, and the video signals before and after the delayed one are switched in one field. The lines to be scanned on a display panel 10 are changed over by switching the scanning pulses outputted from a shift register 9 by the scanning two-phase making circuit 6. Thus, the scanning is arranged so that each line of the cells is scanned with one field dispersed into two display periods and another line is scanned during the non-display period of the two display periods.



LEGAL STATUS

[Date of request for examination]

29.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-85097

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁹

識別記号

F I

G 0 9 G 3/22

G 0 9 G 3/22

3/30

3/30

J

// H 0 1 J 31/12

H 0 1 J 31/12

C

審査請求 未請求 請求項の数4 F D (全 11 頁)

(21) 出願番号 特願平9-251297

(22) 出願日 平成9年(1997) 9月1日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 相羽 英樹

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 増地 重博

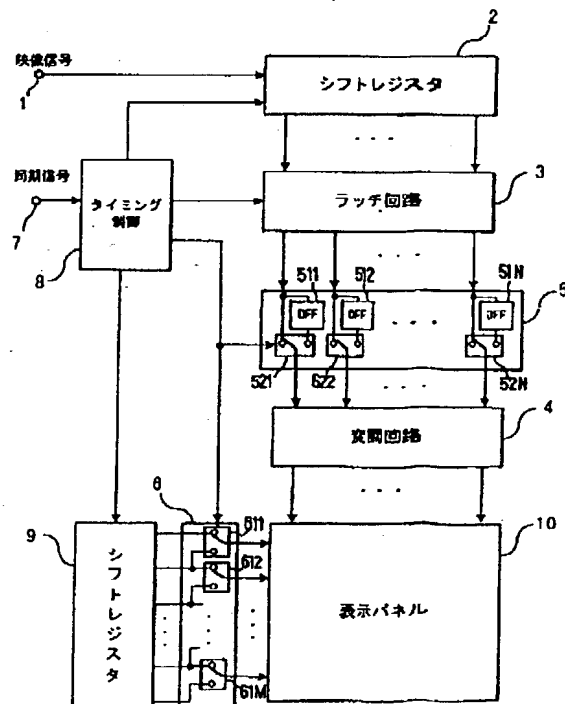
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54) 【発明の名称】 マトリクス型表示装置の駆動回路

(57) 【要約】

【課題】 蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができるマトリクス型表示装置の駆動回路を提供する。

【解決手段】 表示パネル10はセルがマトリクス状に配置されている。データ2相化回路5によって映像信号を1行以上遅延させ、遅延前後の映像信号を1フィールド内に切り替える。スキャン2相化回路6によってシフトレジスタ9より出力されるスキャンパルスを切り替えることにより、表示パネル10を走査する行を切り替える。これによって、セルのそれぞれの行を、1フィールドで2回の表示期間に分散させて走査し、2回の表示期間の間の非表示期間に、他の行を走査するようにする。



【特許請求の範囲】

【請求項1】複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないように表示するマトリクス型表示装置の駆動回路において、

前記セルのそれぞれの行を、1フィールドで2回の表示期間に分散させて走査する手段を備えて構成したことを特徴とするマトリクス型表示装置の駆動回路。

【請求項2】前記2回の表示期間の間の非表示期間に、1行以上の他の行を走査する手段を備えて構成したことを特徴とする請求項1記載のマトリクス型表示装置の駆動回路。

【請求項3】前記2回の表示期間に分散させて走査する手段は、

映像信号を1行以上遅延させる遅延手段と、

前記映像信号と前記遅延手段による遅延後の映像信号とを1フィールド内に切り替える切り替え手段とよりなることを特徴とする請求項1または2のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項4】前記1行以上の他の行を走査する手段は、前記表示パネルを走査する行を切り替える切り替え手段であることを特徴とする請求項2に記載のマトリクス型表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冷陰極電子放出素子等の電子放出源を用いた表示装置やエレクトロルミネセンス（以下、ELと略記する）表示装置等のマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】マトリクス型表示装置としては、冷陰極電子放出素子を用いた表示装置やEL表示装置等の1行同時表示型の表示装置が知られている。1行同時表示型の表示装置では、1行単位で同時に表示が行われ、一般的には上から下へ線順次走査され、各行の表示は走査期間中において全列同時に行われる。

【0003】さらに詳細には、1行同時表示型とは、ある任意の行の表示が行われている際には、他行の表示が行われない表示装置のことである。例えば、プラズマディスプレイパネルやTFT液晶表示装置等は線順次駆動を行っているが、セル毎にメモリ機能を有し、複数行の表示が同時に行われるので、この範疇ではない。但し、表示装置が複数の配線ブロックに完全に分割されている場合は、各ブロック内で複数行の同時表示期間がなければ1行同時表示型の表示装置である。

【0004】図7は従来の1行同時表示型であるマトリクス型表示装置の駆動回路を示すブロック図である。図7において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、一例として図8に示すよ

うに、走査電極L1～LMに接続された複数の行配線と、データ電極D1～DNに接続された複数の列配線とによって、画素を構成するセル10sがマトリクス状に配置されている。なお、セル10sは、電子放出源である電子放出素子と、この電子放出素子からの電子照射を受ける蛍光体とで構成される。

【0005】端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされ、変調回路4にデータが入力される。変調回路4は、データの大小に応じたパルスを表示パネル10のデータ電極D1～DNに入力する。

【0006】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを表示パネル10の走査電極L1～LMにスキャンパルスとして1行目から順次入力する。

【0007】さらに、図7に示すマトリクス型表示装置を駆動する場合の動作について詳細に説明する。上記のように、表示パネル10の走査電極L1～LMには、順次、シフトレジスタ9によってスキャンパルスが印加される。また、表示パネル10のデータ電極D1～DNには、変調回路4によって、選択されたラインに対応したデータに応じて一例としてパルス幅（PWM）変調されたパルスが印加される。

【0008】即ち、1行j列のデータに対しては、走査電極Liが選択されている期間にデータ電極Djに電圧を印加する。変調回路4がPWM変調の場合、階調は、データ電極D1～DNに印加するパルスの印加時間（パルス幅）で表現される。変調回路4の変調方法はPWM方式に限らず、電圧変調等のように発光の強弱が表現できる方法であればよい。

【0009】図9は、一例としてj列を表示する際の動作を示す波形図であり、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、i行j列は黒、i+1行j列はグレー、i+2行j列は白である場合について示している。図9に示すように、1行の水平走査期間H0において、i行の走査電極Liには電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、i行j列での表示が黒であるため、j列のデータ電極Djは常に0電位である。

【0010】次に、i+1行の水平走査期間H1においては、i+1行の走査電極L(i+1)には電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、i+1行j列での表示がグレーであるため、j列のデータ電極Djには水平走査期間H1の

約半分の期間だけ電圧 $+V_d$ がかかり、その後の約半分の期間は0電位となる。さらに、 $i+2$ 行の水平走査期間H2においては、 $i+2$ 行の走査電極L($i+2$)は電圧 $-V_s$ がかかっており、その他の走査電極には電圧がかかっていない。このとき、 $i+2$ 行j列での表示が白であるため、j列のデータ電極Djには水平走査期間H2の全期間において電圧 $+V_d$ がかかっている。

【0011】ところで、冷陰極電子放出素子を用いた表示パネル10の場合は、電子放出素子が電子放出するためのしきい値を有している。そして、走査電極L1~LMにかかる電圧とデータ電極D1~DNにかかる電圧との差がしきい値以上で表示状態となり、それ以下では非表示状態となる。この例では、電圧 V_d と電圧 V_s はいずれもしきい値 V_{th} より小さく、電圧 (V_d+V_s) はしきい値 V_{th} より大きく設定する。即ち、データ電極D1~DNと走査電極L1~LMの内の方のみの電圧印加だけでは発光は起こらず、両方に印加された場合にのみ発光する。

【0012】ここでは、i行からi+2行目までの表示過程についてのみ説明したが、実際には、表示パネル10の走査電極L1~LMには、1行からM行まで順次、スキャンパルスが印加され、この走査タイミングに合わせて、データ電極D1~DNにPWM変調されたパルスが印加される。なお、有効画素が480行×640列の表示の場合には、走査電極が480本、データ電極が640本存在し、RGBストライプ構造のカラー表示の場合には1920本のデータ電極が存在する。

【0013】以上のような構成及び動作により、1フィールド内での各行の表示タイミングは、図10に示ようになる。なお、ここでは、走査電極が480行の場合であり、太実線の部分が表示期間となっている。図10に示すように、1フィールド内で1行目から480行目まで順次に表示が行われる。

【0014】

【発明が解決しようとする課題】 上述した1行同時表示型のマトリクス型表示装置においては、各行において1フィールド中で1水平走査期間だけに表示が集中する。このため、連続電子放出に起因して電子放出素子や蛍光体（即ち、セル10s）に経時変化（焼き付き）が起きる。また、蛍光体の飽和現象によって、パルス幅（発光時間）と輝度（発光強度）とが比例関係にならず、図11に示すように、緩やかな γ 特性を有することにより、輝度の効率低下を生じる。なお、パルス幅をx、発光強度をyとすると、図11に示す特性は $y=x^{\gamma}$ と表すことができ、 $0<\gamma<1$ で、通常、 $0.7<\gamma<0.9$ 程度である。

【0015】蛍光体の発光は、蛍光体中に存在する電子が、電子ビームの照射によってより高い準位に励起した後、元の準位に戻る際に差のエネルギーが可視光として放出するものである。蛍光体の励起状態が回復する前に

次々と電子が照射してくると、照射される電子量に対する可視光の放出する割合が減少する。これを蛍光体の飽和という。蛍光体の飽和現象によって図11に示すような γ 特性を有するという事は、パルス幅が2倍になっても輝度が2倍にはならないということであり、従来のマトリクス型表示装置では、この輝度低下が問題であった。

【0016】本発明はこのような問題点に鑑みなされたものであり、蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができ、マトリクス型表示装置の駆動回路を提供することを目的とする。

【0017】

【課題を解決するための手段】 本発明は、上述した従来の技術の課題を解決するため、複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないように表示するマトリクス型表示装置の駆動回路において、前記セルのそれぞれの行を、1フィールドで2回の表示期間に分散させて走査する手段を備えて構成したことを特徴とするマトリクス型表示装置の駆動回路を提供するものである。

【0018】

【発明の実施の形態】 以下、本発明のマトリクス型表示装置の駆動回路について、添付図面を参照して説明する。図1~図3はそれぞれ本発明のマトリクス型表示装置の駆動回路の第1~第3実施例を示すブロック図、図4は本発明のマトリクス型表示装置の駆動回路の動作を説明するための波形図、図5及び図6は本発明のマトリクス型表示装置の駆動回路による表示タイミングを説明するための図である。なお、図1~図3において、図7と同一部分には同一符号が付してある。

【0019】＜第1実施例＞図1において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、その具体的構成は図8を用いて説明した通りである。端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされる。ラッチ回路3より出力されたデータは、本発明により新たに加えられたデータ2相化回路5に入力される。

【0020】データ2相化回路5は、表示パネル10のデータ電極の数に応じて設けられたDフリップフロップ（以下、DFFと略記する）511~51Nと、同じく表示パネル10のデータ電極の数に応じて設けられたスイッチ521~52Nとより構成される。スイッチ521~52Nには、ラッチ回路3の出力とDFF511~51Nの出力とが入力され、これらを選択的に出力するようになっている。データ2相化回路5より出力された

データは、変調回路4に入力される。変調回路4は、データの大小に応じて例えばPWM変調されたパルスを表示パネル10のデータ電極D1~DNに入力する。

【0021】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを本発明により新たに追加されたスキャン2相化回路6に入力する。スキャン2相化回路6は後述するように入力されたパルスを2相化し、そのパルスをスキャンパルスとして表示パネル10の走査電極L1~LMに入力する。従って、表示パネル10に供給されるスキャンパルスは、シフトレジスタ9より出力される1ライン幅のパルスを2分割したものとなる。

【0022】スキャン2相化回路6は、表示パネル10の走査電極の数に応じて設けられたスイッチ611~61Mより構成される。スイッチ611~61Mにはそれぞれシフトレジスタ9の隣接する2つの出力が入力され、これらを選択的に出力するようになっている。従って、シフトレジスタ9の出力端子の段数は従来の図7より1段多くなる。即ち、M行であれば、M+1段となる。スイッチ611~61Mより出力されたスキャンパルスは、表示パネル10の走査電極L1~LMに入力される。タイミング制御回路8は、さらに、データ2相化回路5のスイッチ521~52N及びスキャン2相化回路6のスイッチ611~61Mを切り替えるよう制御する。

【0023】ここで、図1に示す駆動回路の動作を図4を用いて詳細に説明する。図4においても、一例としてj列を表示する際の動作を示しており、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号が、i-1行j列は白、i行j列は黒、i+1行j列はグレー、i+2行j列は白である場合について示している。シフトレジスタ9がi番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からはi行目の全データが同時に出力されている。このとき、タイミング制御回路8からの制御信号によって、データ2相化回路5及びスキャン2相化回路6の各スイッチ521~52N、611~61Mは、水平走査期間H0の前半H0aでは、図1に図示している側、後半H0bでは、図示とは反対側に接続するよう制御される。

【0024】スイッチ521~52N、611~61Mが図1に図示している側に接続している水平走査期間H0の前半H0aでは、データ2相化回路5はラッチ回路3からの出力をそのまま出力するので、i行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスが表示パ

ネル10のi行目の走査電極Liに印加されることになる。

【0025】一方、スイッチ521~52N、611~61Mが図1とは反対側に接続している水平走査期間H0の前半H0bでは、データ2相化回路5はDF511~51Nの出力を出力するので、i-1行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-1行目の走査電極L(i-1)に印加されることになる。

【0026】即ち、1水平走査期間H0の前半H0aでは、表示パネル10のi行目のスキャンが行われ、後半H0bでは、表示パネル10のi-1行目のスキャンが行われることになる。

【0027】そして、次の水平走査期間H1では、シフトレジスタ9においてi+1番目の端子にスキャンが移り、ラッチ回路3からはi+1行目のデータが出力される。ここでも、タイミング制御回路8からの制御信号によって、データ2相化回路5及びスキャン2相化回路6の各スイッチ521~52N、611~61Mは、水平走査期間H1の前半H1aでは、図1に図示している側、後半H1bでは、図示とは反対側に接続するよう制御される。

【0028】スイッチ521~52N、611~61Mが図1に図示している側に接続している水平走査期間H1の前半H1aでは、データ2相化回路5はラッチ回路3からの出力をそのまま出力するので、i+1行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi+1番目の端子からのスキャンパルスが表示パネル10のi+1行目の走査電極L(i+1)に印加されることになる。

【0029】一方、スイッチ521~52N、611~61Mが図1とは反対側に接続している水平走査期間H1の前半H1bでは、データ2相化回路5はDF511~51Nの出力を出力するので、i行目のデータが変調回路4に入力されることになる。また、シフトレジスタ9のi+1番目の端子からのスキャンパルスは表示パネル10のi行目の走査電極Liに印加されることになる。

【0030】即ち、1水平走査期間H1の前半H1aでは、表示パネル10のi+1行目のスキャンが行われ、後半H1bでは、表示パネル10のi行目のスキャンが行われることになる。

【0031】このようにして、i行目の表示は、シフトレジスタ9がi番目のスキャンを行っている水平走査期間H0の前半H0aと、シフトレジスタ9がi+1番目のスキャンを行っている水平走査期間H1の後半H1bとの2回で行われることになる。

【0032】同様にして、水平走査期間H2の前半H2aでは、表示パネル10のi+2行目のスキャンが行わ

10

20

30

40

50

れ、後半H2bはi+1行目のスキャンが行われるので、i+1行目の表示は、シフトレジスタ9がi+1番目のスキャンを行っている水平走査期間H1の前半H1aと、i+2番目のスキャンを行っている水平走査期間H2の後半H2bとの2回で行われることになる。

【0033】以上のようにして、本発明の駆動回路によれば、表示パネル10の1つの行は、2回に分けて表示される。従って、1水平走査期間(1H)を1/2ずつに分ければ、変調回路4によるPWM変調の1回分のパルス幅は、図7と比較して半分であり、表示パネル10の走査電極L1~LMに印加するスキャンパルスのパルス幅も、図7と比較して半分となる。なお、100%白を表示する(8ビット表現では255のデータ)場合には、変調回路4からのPWM変調のパルス幅は、スキャンパルス幅にほぼ等しい。

【0034】図4の例では、i-1行目が100% (白)、i行目のデータが0 (黒)、i+1行目が50% (グレー)、i+2行目が100% (白)であるので、変調回路4からの出力は、水平走査期間H0の前半H0aは常に0で後半H0bはスキャンパルス幅のパルス、次の水平走査期間H1の前半H1aはスキャンパルス幅の半分(1Hの1/4)のパルスで後半H1bは0、その次の水平走査期間H2の前半H2aはスキャンパルス幅(1Hの1/2)のパルスで後半H2bはスキャンパルス幅の半分(1Hの1/4)のパルスとなる。

【0035】この例のi+2行目のように、仮に100%のデータが入力されたとしても、表示を水平走査期間H2の前半と水平走査期間H3の後半との2回に分散し、1回分のパルス幅を1Hの半分とすることができるため、セル10sの焼き付き現象を減少させることができる。また、2回に分散することにより、前半の表示と後半の表示との間に非表示期間が設けられることになる。従って、非表示期間における休止によって蛍光体の励起状態が収まり、初期状態に回復するので、2回分のパルスで2倍の輝度が得られることになり、蛍光体の飽和による輝度低下を防止することができる。

【0036】2回に分散することによる蛍光体の飽和減少の緩和は次のように説明することができる。発光強度(y)がパルス幅(x)の γ 乗に比例するとき、 $y=x^{\gamma}$ である。しかし、本発明のように、パルスを2分割し、非表示期間(休止期間)中に蛍光体が完全に回復するならば、その発光強度は、 $2 \cdot (x/2)^{\gamma}$ となる。従って、2分割による効果は、 $2 \cdot (x/2)^{\gamma} / x^{\gamma} = 2 \cdot (1/2)^{\gamma}$ となる。

【0037】仮に、パルス幅xと発光強度yとの関係が0.9乗に比例するような γ 特性を持っているならば、約7%の輝度増加となる。また、0.8乗に比例する場合には、約15%の輝度増加となる。なお、表示パネル10のセル10sに供給する電流は、従来と変わらない

ので、この輝度増加分だけ輝度の効率が增加する。なお、以上の説明から分かるように、パルスの分割はできる限り等分配であった方が効果的である。

【0038】図5は、以上説明した図1の構成による1フィールド内での各行の表示タイミングである。図5に示すように、各行の表示は、1H幅の非表示期間を挟んで2分割され、この非表示期間において、上の行の後半の表示と下の行の前半の表示が行われている。この図5より分かるように、本発明においても、複数行の表示期間が互いに重なり合うことはなく、1行単位で表示が行われている。なお、本実施例では、非表示期間を全て一定の時間としているが、一定時間に限定されることはない。

【0039】＜第2実施例＞図2に示す第2実施例は、データ2相化回路5のDFFが、DFF511~51NとDFF531~53Nとの2段に縦続になっている点と、スキャン2相化回路6のスイッチ611~61Mがシフトレジスタの隣接する2つの出力端子の出力信号ではなく、1つの端子を間に挟んだ2つの出力端子の出力信号を切り替えるようになっている点が、図1に示す実施例と異っている。なお、シフトレジスタ9の段数は、従来の図7より2段、図1の第1実施例より1段多くなる。即ち、M行であれば、M+1段となる。

【0040】このように回路変更すると、図6に示すような表示タイミングとなる。即ち、2回に分散した表示期間の間隔が2水平走査期間(2H)になる。このように、2回に分散した間隔が広がると、残光時間の長い蛍光体に対して有利である。また、図示していないが、データ2相化回路5におけるDFFの段数を3段以上に多くして分散の間隔を広くするとより効果的である。但し、DFFの段数をあまりにも多くしすぎるとコストアップになったり、動画が多重像になりやすくなるので、効果とコストと妨害等の程度を検討の上、適宜に設計すればよい。

【0041】図6に示すように、各行の表示は、2H幅の非表示期間を挟んで2分割され、この非表示期間において、2行上の行の後半の表示と、1行下の行の前半の表示と、1行上の行の後半の表示と、2行下の行の前半の表示が行われている。この図6より分かるように、本発明においても、複数行の表示期間が互いに重なり合うことはなく、1行単位で表示が行われている。

【0042】＜第3実施例＞図3に示す第3実施例は、図1に示す第1実施例と同様の内容を別の回路形態で実現したものである。図1と異なる点は、ラインメモリ11とシフトレジスタ12及びラッチ回路13を新たに設け、データ2相化回路5の代わりに、スイッチ15を設けたことである。

【0043】この図3において、一方の系統であるシフトレジスタ2とラッチ回路3には、入力された映像信号をそのまま入力する。他方の系統であるシフトレジスタ

12とラッチ回路13には、ラインメモリ11によって1行遅延したデータを入力する。スイッチ15にはラッチ回路3、13の出力が入力されるようになっており、スイッチ15によって、ラッチ回路3とラッチ回路13との出力を選択するように構成している。即ち、データ2相化回路5のDFF511～51Nによってデータを1ライン分遅延させていた処理を、予めラインメモリ11にて実現している。

【0044】この図3に示す構成においても、表示タイミングは図1の場合と同様、図5のようになる。また、図示していないが、ラインメモリの段数を多くすることによって、第2実施例のように、2回に分散する表示期間の間隔を広くすることができる。

【0045】以上のように、本発明は、表示パネル10の走査電極L1～LMを単純に上から下へスキャンするのではなく、図5や図6に示したように、各行毎に2回の位相に分けて表示させることに特徴がある。そして、2回の分散表示の分散方法は多様に考えられるが、映像信号のデータを1行以上遅延させるための遅延手段と、遅延前後のデータを切り替える切り替え手段と、この切り替えに同期したタイミングで、表示パネル10の走査電極L1～LMをスキャンする行を切り替える切り替え手段とを設けることが必要である。

【0046】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の駆動回路は、セルのそれぞれの行を、1フィールドで2回の表示期間に分散させて走査する手段を備えて構成したので、蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すブロック図である。

【図2】本発明の第2実施例を示すブロック図である。

【図3】本発明の第3実施例を示すブロック図である。

【図4】本発明の動作を説明するための波形図である。

【図5】本発明による表示タイミングを説明するための図である。

【図6】本発明による表示タイミングを説明するための図である。

【図7】従来例を示すブロック図である。

10 【図8】マトリクス型表示装置の表示パネルの構成を示す図である。

【図9】従来例の動作を説明するための波形図である。

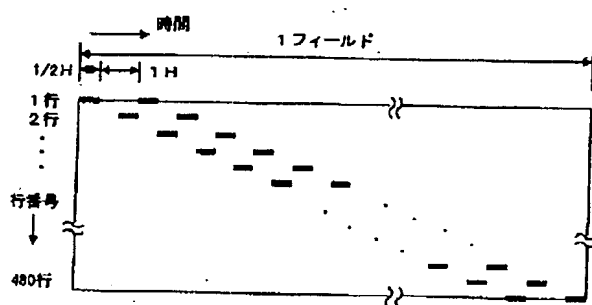
【図10】従来例による表示タイミングを説明するための図である。

【図11】従来例によるパルス幅と発光強度との関係を示す図である。

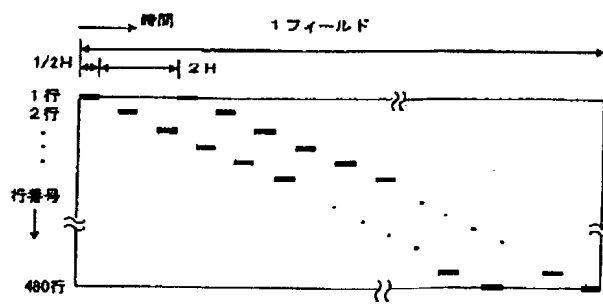
【符号の説明】

- 1, 7 端子
- 2, 12 シフトレジスタ
- 20 3, 13 ラッチ回路
- 4 変調回路
- 5 データ2相化回路
- 6 スキャン2相化回路
- 8 タイミング制御回路
- 9 シフトレジスタ
- 10 表示パネル
- 11 ラインメモリ (遅延手段)
- 15, 521～52N, 611～61M スイッチ (切り替え手段)
- 30 511～51N, 531～53N Dフリップフロップ (遅延手段)

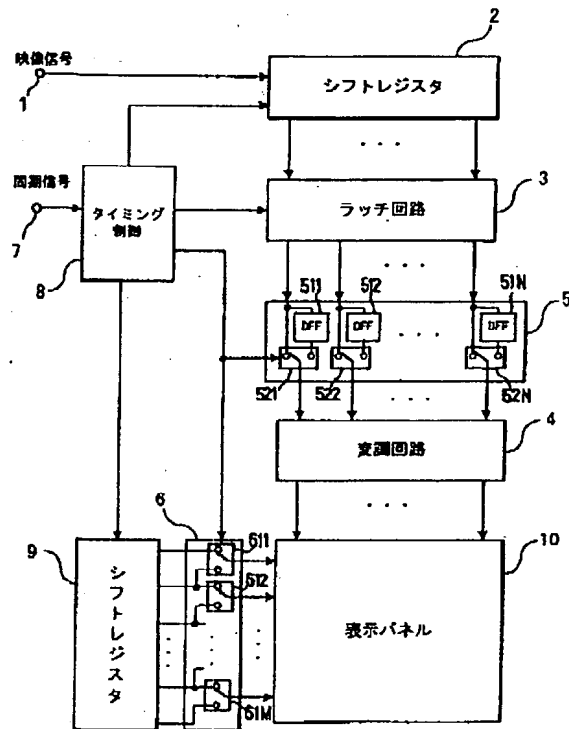
【図5】



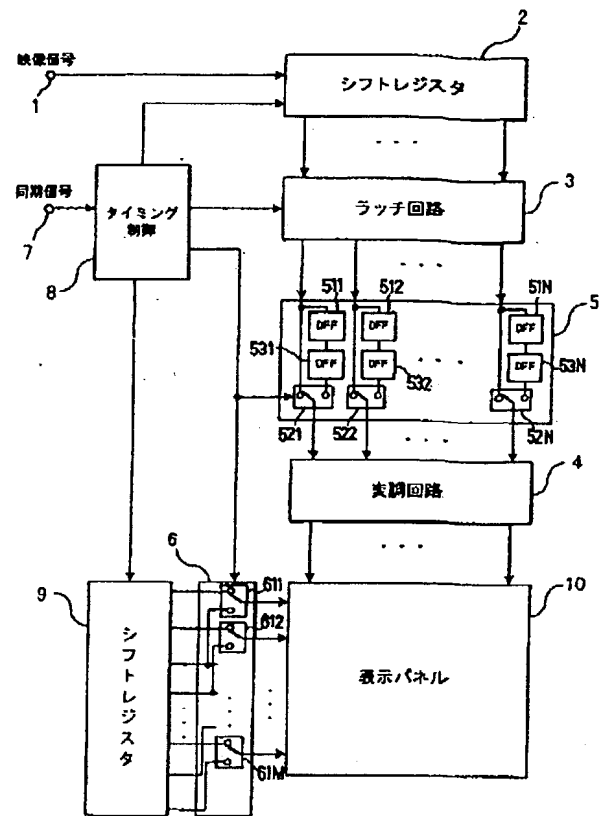
【図6】



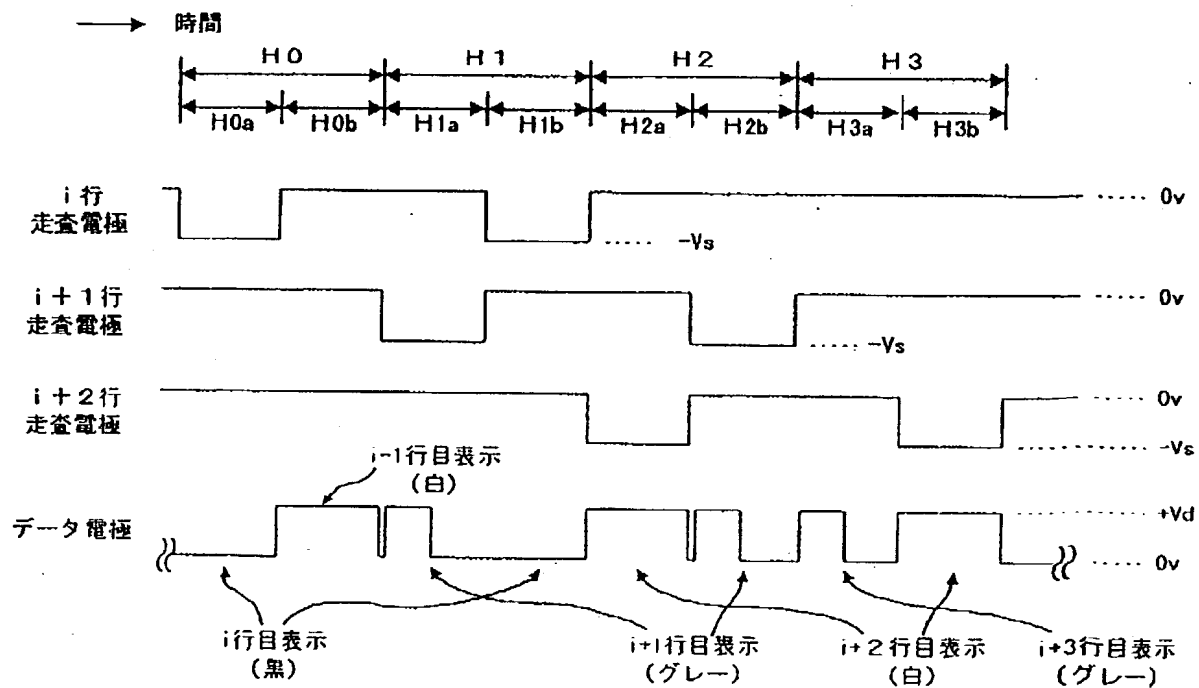
【図1】



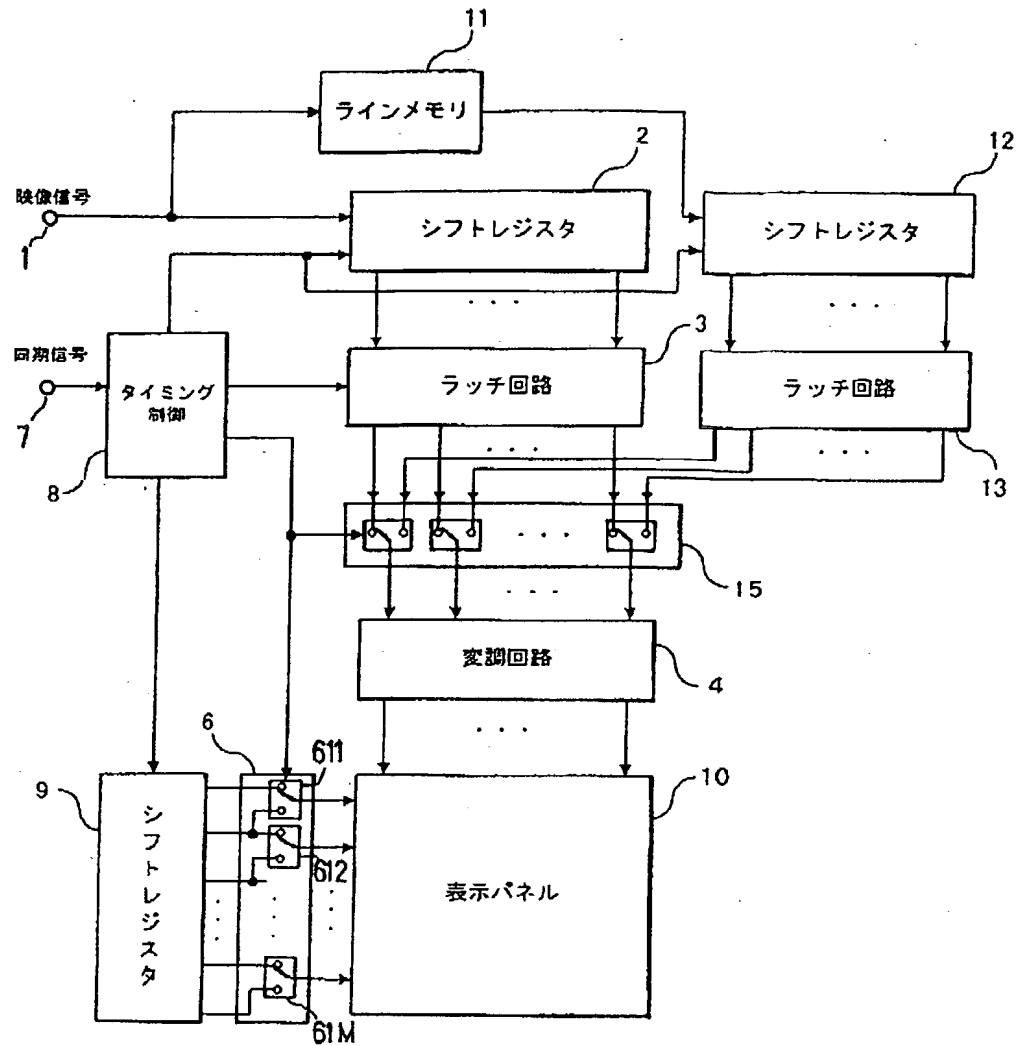
【図2】



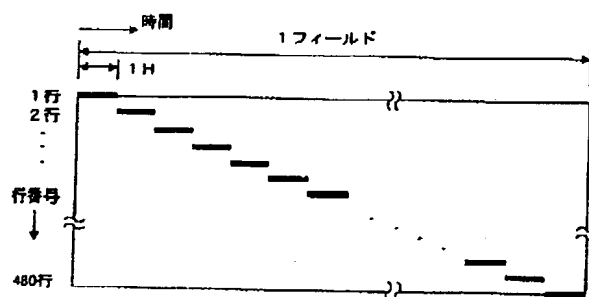
【図4】



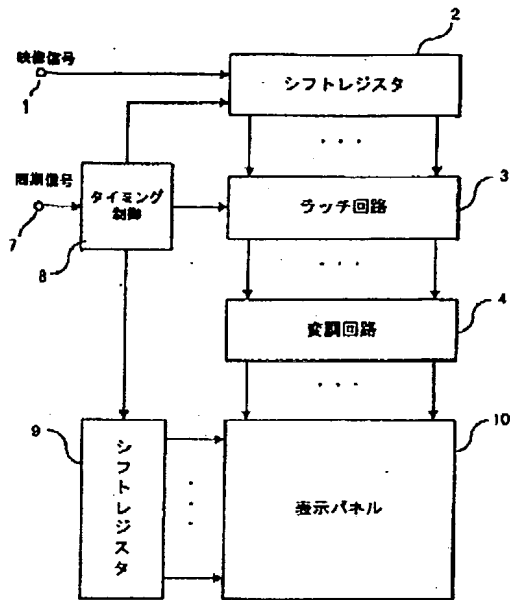
【図3】



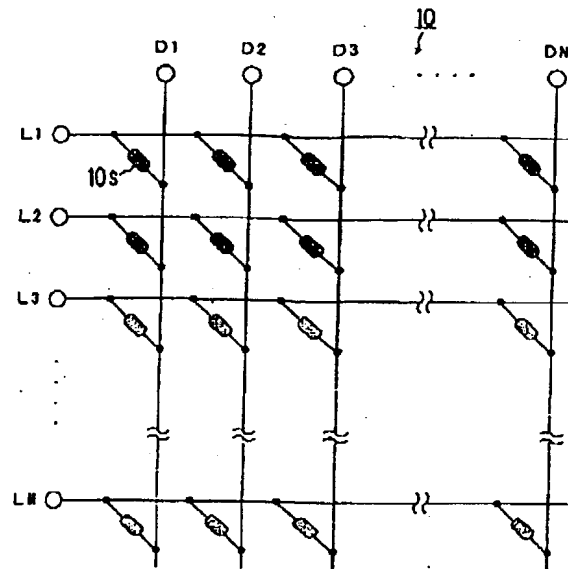
【図10】



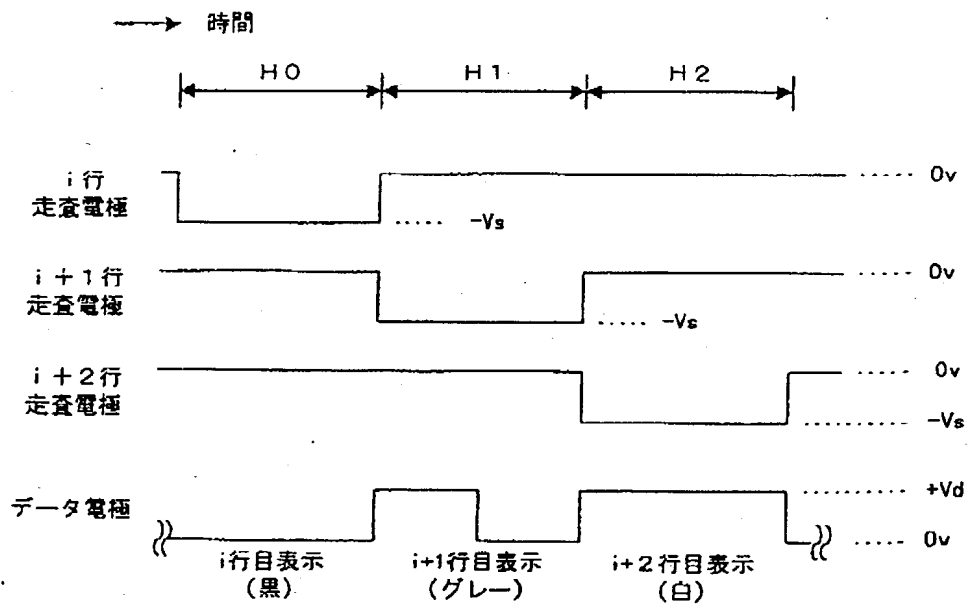
【図7】



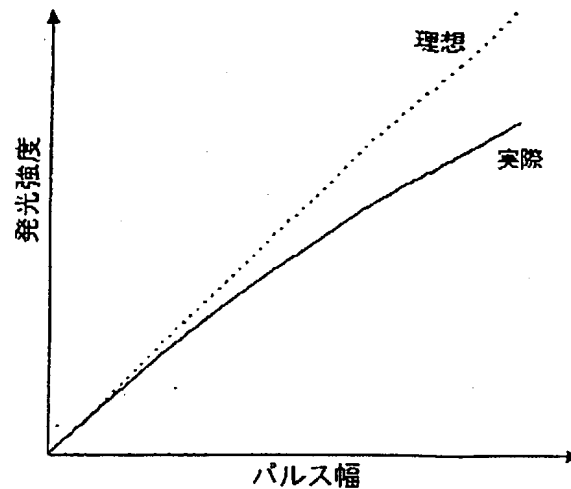
【図8】



【図9】



【図11】



【手続補正書】

【提出日】平成10年3月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【発明が解決しようとする課題】上述した1行同時表示型のマトリクス型表示装置においては、各行において1フィールド中で1水平走査期間だけに表示が集中する。このため、連続電子放出に起因して電子放出素子や蛍光体（即ち、セル10s）に経時変化（焼き付き）が起きる。また、蛍光体の飽和現象によって、パルス幅（発光時間）と輝度（発光強度）とが比例関係にならず、図11に示すように、緩やかなガンマ特性を有することにより、輝度の効率低下を生じる。なお、パルス幅を x 、発光強度を y とすると、図11に示す特性は $y = x^r$ と表すことができ、 $0 < r < 1$ で、通常、 $0.7 < r < 0.9$ 程度である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】蛍光体の発光は、蛍光体中に存在する電子が、電子ビームの照射によってより高い準位に励起した後、元の準位に戻る際に差のエネルギーが可視光として

放出するものである。蛍光体の励起状態が回復する前に次々と電子が照射してくると、照射される電子量に対する可視光の放出する割合が減少する。これを蛍光体の飽和という。蛍光体の飽和現象によって図11に示すようなガンマ特性を有するということは、パルス幅が2倍になっても輝度が2倍にはならないということであり、従来のマトリクス型表示装置では、この輝度低下が問題であった。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】2回に分散することによる蛍光体の飽和減少の緩和は次のように説明することができる。発光強度（ y ）がパルス幅（ x ）の r 乗に比例するとき、 $y = x^r$ である。しかし、本発明のように、パルスを2分割し、非表示期間（休止期間）中に蛍光体が完全に回復するならば、その発光強度は、 $2 \cdot (x/2)^r$ となる。従って、2分割による効果は、 $2 \cdot (x/2)^r / x^r = 2 \cdot (1/2)^r$ となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】仮に、パルス幅 x と発光強度 y との関係が 0.9 乗に比例するようなガンマ特性を持っているならば、約 7% の輝度増加となる。また、 0.8 乗に比例する場合には、約 15% の輝度増加となる。なお、表示バ

ネル 10 のセル 10 s に供給する電流は、従来と変わらないので、この輝度増加分だけ輝度の効率が增加する。なお、以上の説明から分かるように、パルスの分割はできる限り等分配であった方が効果的である。